

PAT-NO: JP410022500A
DOCUMENT-IDENTIFIER: JP 10022500 A
TITLE: FIELD EFFECT TRANSISTOR AND
MANUFACTURE THEREOF
PUBN-DATE: January 23, 1998

INVENTOR-INFORMATION:

NAME
YOKOYAMA, KOJI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP08170998

APPL-DATE: July 1, 1996

INT-CL (IPC): H01L029/78, H01L029/80

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce the defects at the interface and raise the carrier density, utilizing an Si substrate by providing a carrier transit channel composed of a potential well defined by a junction of an amorphous silicon hydrogenide layer and single crystal Si having a high electron affinity.

SOLUTION: A quantum well 8 is formed at an interface between an impurity-doped amorphous silicon hydrogenide layer 32 having a low electron

affinity and single crystal Si layer 12 having a high electron affinity owing to their band offset. In this quantum well 8, two-dimensional electron gas 2DEG 9 is formed by using a dopant element in the Si layer 32 as a feed source. If this well 8 is used as a transistor channel, the 2DEG carriers and dopant element exist in different locations. This makes it possible to avoid the influence of scattering originating from the impurity and greatly improve the carrier mobility.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-22500

(43)公開日 平成10年(1998)1月23日

(51)Int.Cl.
H 01 L 29/78
29/80

識別記号
9447-4M

F I
H 01 L 29/78
29/80

技術表示箇所
301H
A

審査請求 有 請求項の数17 OL (全 9 頁)

(21)出願番号 特願平8-170998

(22)出願日 平成8年(1996)7月1日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 横山 幸司

東京都港区芝五丁目7番1号 日本電気株
式会社内

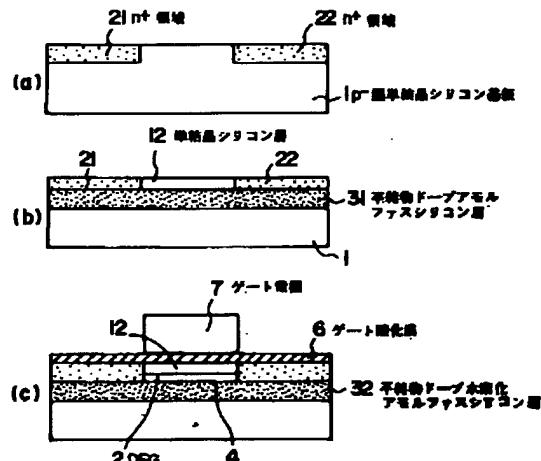
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 電界効果型トランジスタ及びその製造方法

(57)【要約】

【課題】シリコン系の材料で高速動作のトランジスタを
製造する。

【解決手段】単結晶シリコンと水素化アモルファスシリ
コン界面にできる量子井戸をキャリアのチャネルとして
利用する高移動度電界効果型トランジスタである。単結
晶下にドーピング元素のイオン注入法でアモルファスシリ
コン層をつくり、さらに水素をイオン注入法で打ち込
むことにより製造する。



1

【特許請求の範囲】

【請求項1】 水素化アモルファスシリコンからなる半導体層と、前記半導体層よりも電子親和力の大きい単結晶シリコンからなる半導体層との接合が形成するポテンシャル井戸からなるキャリアの走行チャネルを有することを特徴とする電界効果型トランジスタ。

【請求項2】 前記水素化アモルファスシリコンからなる半導体層は、不純物がドープされてなることを特徴とする請求項1に記載の電界効果型トランジスタ。

【請求項3】 不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層の上に、前記アモルファス半導体層に接して形成された前記アモルファス半導体層よりも電子親和力の大きい単結晶シリコンからなる半導体層と、前記単結晶シリコンからなる半導体層上に順次形成されたゲート絶縁膜とゲート電極とを有し、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部にポテンシャル井戸を有することを特徴とする電界効果型トランジスタ。

【請求項4】 単結晶シリコンからなる半導体層の上に前記半導体層よりも電子親和力が小さく、不純物がドープされた水素化アモルファスシリコン層が形成され、前記水素化アモルファスシリコン層上にゲート絶縁膜とゲート電極とを有し、前記単結晶シリコンからなる半導体層と前記水素化アモルファスシリコン層との接合部にポテンシャル井戸を有することを特徴とする電界効果型トランジスタ。

【請求項5】 前記ポテンシャル井戸は2次元電子ガスまたは2次元正孔ガスが走行するチャネルを形成していることを特徴とする請求項1ないし4に記載の電界効果型トランジスタ。

【請求項6】 第1導電型のシリコン基板上に第2導電型の不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層と、前記アモルファス半導体層上に前記アモルファス半導体層に接して形成された第2導電型のソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域に挟まれ前記アモルファス半導体層よりも電子親和力の大きい単結晶シリコンからなる半導体層とを有し、前記単結晶シリコンからなる半導体層上にはゲート絶縁膜とゲート電極とを有しており、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部に第2導電型キャリアのポテンシャル井戸を有することを特徴とする電界効果型トランジスタ。

【請求項7】 第1導電型のシリコン基板上に第2導電型のソース領域およびドレイン領域と前記ソース領域と前記ドレイン領域に挟まれた単結晶シリコンからなる半導体層とを有し、前記ソース領域と前記ドレイン領域と前記単結晶シリコンからなる半導体層との上に第2導電型の不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層と、前記アモルファス半

10

2

導体層上に形成された、ゲート絶縁膜とゲート電極とを有しており、前記アモルファス半導体層は前記単結晶シリコンからなる半導体層よりも小さい電子親和力を有し、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部に第2導電型キャリアのポテンシャル井戸を有することを特徴とする電界効果型トランジスタ。

【請求項8】 前記単結晶シリコンからなる半導体層は、単結晶シリコン基板上に形成された真性半導体のエピタキシャルシリコン層を少なくとも含むことを特徴とする請求項1ないし7に記載の電界効果型トランジスタ。

【請求項9】 第1導電型のシリコン基板上に第2導電型の不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層と、前記アモルファス半導体層上に前記アモルファス半導体層に接して形成された第2導電型のソース領域およびドレイン領域と、前記ソース領域と前記ドレイン領域に挟まれ前記ソースおよびドレイン領域よりも厚さが小さい単結晶シリコン層と前記単結晶シリコン層上に形成された真性半導体のエピタキシャルシリコン層とを有し、前記単結晶シリコン層と前記真性半導体のエピタキシャルシリコン層とは、前記アモルファス半導体層よりも大きな電子親和力を有し、前記真性半導体のエピタキシャルシリコン層上にはゲート絶縁膜とゲート電極とを有しており、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部に第2導電型キャリアのポテンシャル井戸を有することを特徴とする電界効果型トランジスタ。

20

【請求項10】 第1導電型の単結晶シリコン基板中に第2導電型の不純物元素をイオン注入して前記シリコン基板中に単結晶シリコン層の下側に接する第2導電型のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層中に水素をイオン注入し第2導電型の水素化アモルファスシリコン層を形成する工程と、前記単結晶シリコン層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有し、前記第2導電型の水素化アモルファスシリコン層と前記単結晶シリコン層の接合部にキャリアの走行チャネルとするポテンシャル井戸を形成する電界効果型トランジスタの製造方法。

30

【請求項11】 第1導電型の単結晶シリコン基板に第2導電型の不純物元素をイオン注入し、前記シリコン基板表面に第2導電型のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層中に水素をイオン注入し第2導電型の水素化アモルファスシリコン層を形成する工程と、前記第2導電型の水素化アモルファスシリコン層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有し、前記第2導電型の水素化アモルファスシリコン層の下側の前記単結晶シリコンとの接合部にキャリアの走行チャネ

40

50

ルとするポテンシャル井戸を形成する電界効果型トランジスタの製造方法。

【請求項12】前記単結晶シリコン層を挟む第2導電型のソース領域及びドレイン領域を形成する工程を含むことを特徴とする請求項10または11に記載の電界効果型トランジスタの製造方法。

【請求項13】第1導電型の単結晶シリコン基板中に酸素、窒素または炭素の内少なくとも1種類の元素をイオン注入して第1のアモルファスシリコン層を形成した後、前記第1のアモルファスシリコン層に第2導電型の不純物元素をイオン注入して前記第2導電型のアモルファスシリコン層を形成することを特徴とする請求項10ないし12に記載の電界効果型トランジスタの製造方法。

【請求項14】第1導電型の単結晶シリコン基板に第2導電型の不純物元素をイオン注入し、前記シリコン基板表面に第2導電型のソース領域とドレイン領域を形成する工程と、前記シリコン基板中の所望の深さに第2導電型の不純物元素をイオン注入し、前記単結晶シリコン基板と前記ソース領域と前記ドレイン領域とに接する第2導電型のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層中に水素をイオン注入し第2導電型の水素化アモルファスシリコン層を形成する工程と、前記第2導電型のソース領域とドレイン領域に挟まれた前記単結晶シリコン層を選択的にエッチングし薄くする工程と、残された前記単結晶シリコン層に真性半導体のエピタキシャルシリコン層を形成する工程と、前記エピタキシャルシリコン層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有し、前記単結晶シリコン層および前記真性半導体のエピタキシャルシリコン層の前記第2導電型の水素化アモルファスシリコン層との接合部付近に2次元キャリアガスの走行チャネルとするポテンシャル井戸を形成する電界効果型トランジスタの製造方法。

【請求項15】前記選択的エッチングにより残される単結晶シリコン層の厚さが6nm以下であることを特徴とする請求項14に記載の電界効果型トランジスタの製造方法。

【請求項16】前記選択的エッチングにより残される単結晶シリコン層上に形成する真性半導体のエピタキシャルシリコン層の厚さが50~100nmであることを特徴とする請求項14または15に記載の電界効果型トランジスタの製造方法。

【請求項17】前記第2導電型の水素化アモルファスシリコン層を形成する工程が、水素元素を含有する絶縁膜から前記アモルファスシリコン層中に水素を拡散させる手段によるものであることを特徴とする請求項10ないし16に記載の電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【発明の属する技術分野】本発明は、コンピュータや通

信機器を始め、幅広く電子機器に利用される演算用及び記憶用の半導体素子による集積回路に関する。特に、2次元電子ガスや2次元正孔ガスをキャリアとして使用する高移動度電界効果型トランジスタ(HEMT)の構造及び製造方法である。

【0001】

【従来の技術】半導体素子のキャリア移動度を上させる方法として、電子親和力の異なる異種半導体を接合させ、バンドオフセットにより生じる量子井戸(ポテンシャル井戸)をトランジスタのチャネルとして利用するHEMT構造が、GaAs等の化合物系半導体で知られている(ジャバニーズ・ジャーナル・オブ・アプライド・フィジックス、Jpn. J. Appl. Phys., 25巻, 19号, 1980年)。現在、メモリーやロジック系のトランジスタ材料として主流を占めているシリコンに於いても、電子親和力差を利用したSi/SiGe系(アプライド・フィジックス・レターズ、Appl. Phys. Lett., 45巻, 11号, 1984年)のHEMT構造が提案されている。しかし、ゲルマニウムとシリコンとの格子定数が異なることに起因して、良質な異種半導体接合を形成することが難しいという問題がある。そこで、図10に示すように、電子親和力の小さいSiCをアモルファスとして、電子親和力の大きい結晶シリコン上に堆積し、シリコン系材料でHEMT構造を形成する試みが特開昭62-86867号公報に開示されている。

【0002】

【発明が解決しようとする課題】従来のアモルファスSiC/結晶シリコンの界面に利用した高移動度トランジスタの第一の問題点は、アモルファスSiC中にキャリア供給のための元素をドーピングしても所望のキャリア濃度を得られないことである。この理由は、SiCはアモルファスの状態であるため、膜中に多くのダンギングボンドを有しており、キャリアとなる電子や正孔がこれらにトラップされるためである。

【0003】第二の問題点は、結晶シリコンとアモルファスSiCの良質な界面が得られにくいことである。その理由は、化学的気相成長法(CVD)や分子線エピタキシー法(MBE)でアモルファスSiCを成長させる場合、成長初期には下地のシリコンの影響を受け、界面ではグレインが形成されやすくなる。このためチャネルとして利用する界面が凹凸になり、正常なトランジスタ動作をしなくなる。

【0004】第三の問題点は、製造コストが増加する可能性があることである。その理由はSiCを成長させるために専用のCVD等の装置が必要となるためである。

【0005】本発明の目的は、シリコン基板を利用し、界面の欠陥が少なくキャリア濃度を高くできる電界効果型トランジスタ及びその製造方法を提供することにある。

【0006】

【課題を解決するための手段】上記の問題点を解決するために、本発明の電界効果型トランジスタは、水素化アモルファスシリコンからなる半導体層と、前記半導体層よりも電子親和力の大きい単結晶シリコンからなる半導体層との接合が形成するポテンシャル井戸からなるキャリアの走行チャネルを有することを特徴とする。

【0007】また、本発明によれば、前記水素化アモルファスシリコンからなる半導体層に不純物がドープされていることを特徴とする電界効果型トランジスタが得られる。

【0008】また、他の本発明の電界効果型トランジスタは、不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層の上に、前記アモルファス半導体層に接して形成された前記アモルファス半導体層よりも電子親和力の大きい単結晶シリコンからなる半導体層と、前記単結晶シリコンからなる半導体層上に順次形成されたゲート絶縁膜とゲート電極とを有し、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部にポテンシャル井戸を有していることを特徴とする。

【0009】また、他の本発明の電界効果型トランジスタは、単結晶シリコンからなる半導体層の上に前記半導体層よりも電子親和力が小さく、不純物がドープされた水素化アモルファスシリコン層が形成され、前記水素化アモルファスシリコン層上にゲート絶縁膜とゲート電極とを有し、前記単結晶シリコンからなる半導体層と前記水素化アモルファスシリコン層との接合部にポテンシャル井戸を有することを特徴とする。

【0010】また、本発明によれば、上記のポテンシャル井戸は2次元電子ガスまたは2次元正孔ガスが走行するチャネルを形成している電界効果型トランジスタが得られる。

【0011】また、本発明の電界効果型トランジスタは、第1導電型のシリコン基板上に第2導電型の不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層と、前記アモルファス半導体層上に前記アモルファス半導体層に接して形成された第2導電型のソース領域およびドレン領域と、前記ソース領域と前記ドレン領域に挟まれ前記アモルファス半導体層よりも電子親和力の大きい単結晶シリコンからなる半導体層とを有し、前記単結晶シリコンからなる半導体層上にはゲート絶縁膜とゲート電極とを有しており、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部に第2導電型キャリアの走行チャネルを有することを特徴とする。

【0012】また、本発明によれば、第1導電型のシリコン基板上に第2導電型のソース領域およびドレン領域と前記ソース領域と前記ドレン領域に挟まれた単結晶シリコンからなる半導体層とを有し、前記ソース領

域、前記ドレン領域および前記単結晶シリコンからなる半導体層との上に第2導電型の不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層と、前記アモルファス半導体層上に形成された、ゲート絶縁膜とゲート電極とを有しており、前記アモルファス半導体層は前記単結晶シリコンからなる半導体層よりも小さい電子親和力を有し、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部に第2導電型キャリアの走行チャネルを有することを特徴とする電界効果型トランジスタが得られる。

【0013】また、本発明によれば、上記の単結晶シリコンからなる半導体層は、単結晶シリコン基板上に形成された真性半導体のエピタキシャルシリコン層を少なくとも含むことを特徴とする電界効果型トランジスタが得られる。

【0014】また、本発明によれば、第1導電型のシリコン基板上に第2導電型の不純物がドープされた水素化アモルファスシリコンからなるアモルファス半導体層と、前記アモルファス半導体層上に前記アモルファス半導体層に接して形成された第2導電型のソース領域およびドレン領域と、前記ソース領域と前記ドレン領域に挟まれ前記ソースおよびドレン領域よりも厚さが小さい単結晶シリコン層と前記単結晶シリコン層上に形成された真性半導体のエピタキシャルシリコン層とを有し、前記単結晶シリコン層と前記真性半導体のエピタキシャルシリコン層とは、前記アモルファス半導体層よりも大きな電子親和力を有し、前記真性半導体のエピタキシャルシリコン層上にはゲート絶縁膜とゲート電極とを有しており、前記アモルファス半導体層と前記単結晶シリコンからなる半導体層との接合部に第2導電型キャリアの走行チャネルを有することを特徴とする電界効果型トランジスタが得られる。

【0015】本発明の電界効果型トランジスタの製造方法は、第1導電型の単結晶シリコン基板中に第2導電型の不純物元素をイオン注入し、前記シリコン基板中に単結晶シリコン層の下側に接する第2導電型のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層中に水素をイオン注入し第2導電型の水素化アモルファスシリコン層を形成する工程と、前記単結晶シリコン層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有し、前記第2導電型の水素化アモルファスシリコン層と前記単結晶シリコン層の接合部に形成されるポテンシャル井戸をキャリアの走行チャネルとする特徴を有する。

【0016】また、他の本発明の電界効果型トランジスタの製造方法は、第1導電型の単結晶シリコン基板に第2導電型の不純物元素をイオン注入し、前記シリコン基板表面に第2導電型のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層中に水素をイオン注入し第2導電型の水素化アモルファスシリコン層を

形成する工程と、前記第2導電型の水素化アモルファスシリコン層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有し、前記第2導電型の水素化アモルファスシリコン層の下側の前記単結晶シリコンとの接合部に形成されるボテンシャル井戸をキャリアの走行チャネルとする特徴を有する。

【0017】また、前記単結晶シリコン層を挟む第2導電型のソース領域及びドレイン領域を形成する工程を含むことを特徴とする電界効果型トランジスタの製造方法も得られる。

【0018】また、他の本発明の電界効果型トランジスタの製造方法は、第1導電型の単結晶シリコン基板中に酸素、窒素または炭素の内少なくとも1種類の元素をイオン注入して第1のアモルファスシリコン層を形成した後、前記第1のアモルファスシリコン層に第2導電型の不純物元素をイオン注入して前記第2導電型のアモルファスシリコン層を形成することを特徴とする。

【0019】また、他の本発明の電界効果型トランジスタの製造方法は、第1導電型の単結晶シリコン基板に第2導電型の不純物元素をイオン注入し、前記シリコン基板表面に第2導電型のソース領域とドレイン領域を形成する工程と、前記シリコン基板中の所望の深さに第2導電型の不純物元素をイオン注入し、前記単結晶シリコン基板と前記ソース領域と前記ドレイン領域とに接する第2導電型のアモルファスシリコン層を形成する工程と、前記アモルファスシリコン層中に水素をイオン注入し第2導電型の水素化アモルファスシリコン層を形成する工程と、前記第2導電型のソース領域とドレイン領域に挟まれた前記単結晶シリコン層を選択的にエッチングし薄くする工程と、残された前記単結晶シリコン層上に真性半導体のエピタキシャルシリコン層を形成する工程と、前記エピタキシャルシリコン層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを有し、前記単結晶シリコン層および前記真性半導体のエピタキシャルシリコン層の前記第2導電型の水素化アモルファスシリコン層との接合部付近に形成されるボテンシャル井戸を2次元キャリアガスの走行チャネルとする電界効果型トランジスタの製造方法である。

【0020】また、他の本発明の電界効果型トランジスタの製造方法は、前記選択的エッチングにより残される単結晶シリコン層の厚さが6nm以下であること、前記選択的エッチングにより残される単結晶シリコン層上に形成する真性半導体のエピタキシャルシリコン層の厚さが50~100nmであることを特徴とする。

【0021】また、他の本発明の電界効果型トランジスタの製造方法は、前記第2導電型の水素化アモルファスシリコン層を形成する工程が、水素元素を含有する絶縁膜から前記アモルファスシリコン層中に水素を拡散させる手段によるものであることを特徴とする。

【0022】(作用) 図1は本発明の電界効果型トランジ

ジスタ(FET)の基本構造を示す。このFETの最大特徴は不純物ドープされ、電子親和力の小さい不純物ドープ水素化アモルファスシリコン層32(電子親和力3.81eV)と、電子親和力の大きい単結晶シリコン層(電子親和力4.01eV)とのバンドオフセットにより、この両者の界面に図4(a)のバンド構造に示すような量子井戸8を形成することである。この量子井戸内には、不純物ドープ水素化アモルファスシリコン層32中のドーピング元素を供給源として2次元電子ガス(2DEG)が形成される。量子井戸8をトランジスタのチャネルとして使用すれば、2DEGキャリアとドーピング元素との存在する場所が異なるため(変調ドーピング)、不純物に起因する散乱の影響を回避でき、キャリアの移動度を大幅に向上させることができる。

【0023】次に上記のFET構造を得るための製造方法を説明する。本発明の製造方法の特徴は単結晶シリコン/水素化アモルファスシリコン接合構造を得るために、単結晶シリコン上から2DEG供給源となるn型ドーピング元素をイオン注入して、単結晶シリコン1の表面下に不純物ドープアモルファスシリコン層31を形成することである。これにより、CVDやMBE等の成長方法では形成することが難しい良質な界面を有するアモルファスシリコンの上に単結晶シリコンの構造を、得ることができる。続いてこのアモルファス層に水素を注入し、低温加熱を行うことにより不純物ドープアモルファスシリコン層31を水素化し、不純物ドープ水素化アモルファスシリコン層32を形成する。このように、イオン注入法により良質な単結晶シリコンとアモルファスシリコンの界面が得られ、そこにさらに水素注入することでアモルファス中のダングリングボンドを大幅に低減できる。

【0024】さらに、この不純物ドープ水素化アモルファスシリコン層32を、この層の上部の単結晶シリコンが数原子層~数nm残る程度の厚さまで形成し、残った単結晶シリコン上にUHV-CVD等の方法で高純度の単結晶シリコン層5(真性半導体)を形成する。ここにおいて、図4(a)の2次元電子ガスの波動関数のエネルギーピークは、図4(b)に示すように単結晶シリコン中に及んでおり、そのピークが高純度単結晶シリコン層5中にくるようすれば、イオン注入時に欠陥が発生したり不純物が拡散して影響を受けたと考えられる下地の単結晶シリコン層ではなく、高純度単結晶シリコン層5を主なチャネル領域として使用することができる。これによりキャリアの移動度は理想状態にさらに近づくことになる。また、この高純度単結晶シリコン層5を50~100nm程度に厚く堆積すれば、結果として不純物が、ゲート酸化膜から深さ方向にデルタ関数的に分布するデルタドーピングが実現される。これにより、トランジスタゲート長を微細化した場合に、ドレイン拡散層を浅く作るLDD(Lightly Doped Drain)

i n) 構造で問題となるホットキャリア効果を、大幅に低減でき、酸化膜の劣化を防止できるのである。

【0025】

【発明の実施の形態】

【実施例1】本発明のFETの第一の実施の形態を図2 (a)～(c)を参照してn型MOSFETの実施例を用いて説明する。図2 (a)に示すように、P-型単結晶シリコン基板1の表面部にソース・ドレイン領域となる一対のn⁺領域21, 22がイオン注入法により形成される。続いて図2 (b)に示すように、ドーピング元素である砒素(As)やアンチモン(Sb)、リン(P)等をイオン注入し、単結晶シリコン基板1内部をアモルファス化し、上部単結晶シリコン層12の下に不純物ドープアモルファスシリコン層31を10nm～100nm程度形成する。砒素の場合であれば、50～100keVの加速エネルギーで、ドーズ量を10¹⁸ion/cm²程度注入する。

【0026】引き続いて水素を5～10keVの注入条件で10¹⁸/cm²程度イオン注入する。これによりアモルファスシリコン中のダングリングボンドと水素を結合させ、水素化アモルファスシリコン層31を形成する。注入した水素は、単結晶シリコンとアモルファスシリコンの界面4付近のダングリングボンドを大幅に低減させて、良質の界面形成に寄与する。

【0027】引き続いて低温プラズマ酸化によりゲート酸化膜6を形成し、ゲート電極7を形成し、図2 (c)に示すようなFETが形成される。

【0028】次に第2の実施の形態として酸化膜形成前に高純度結晶シリコンを成長させた上記HEMT構造の場合を図3 (a)～(e)により説明する。図3 (b)に示すように不純物ドープ水素化アモルファスシリコン層32をシリコン基板1内部に成長させる際、単結晶シリコン層12が表面から十数nm残るように制御する。続いて、図3 (c)に示すようにFETのチャネル部分のみが厚さ数nm残るようにエッチングし、この上に超高真空化学気相成長法(UHV-CVD: 10⁻⁷Pa程度)で不純物の混入を著しく低減させた真性半導体の高純度単結晶シリコン層5を400°C程度でエピタキシャル成長させる(図3 (d))。

【0029】ここで、アモルファス状態を保持するためには、可能な限り低温プロセスを採用する必要があるため、光CVDを用い200°C程度でシリコンをエピタキシャル成長する方法もある。この高純度単結晶シリコン層5を成長させた後、低温プラズマ酸化により、ゲート酸化膜6を形成する。その後A1あるいは、ポリシリコン等からなるゲート電極7を形成し、図3 (e)のHEMT構造を得る。

【0030】図4は上記第2の実施の形態に基づくHEMT構造のバンド図であり、高純度の単結晶シリコン層5を成長させた図3の場合を示している。単結晶シリコ

ンの電子親和力は4.01eVであり、水素化アモルファスシリコンの電子親和力は3.81eVであるため、不純物ドープされた水素化アモルファスシリコン層32と、単結晶シリコン12を接合すると、バンドオフセットの効果により単結晶シリコン中にポテンシャルの井戸、即ち、量子井戸8を形成できる。不純物ドープ水素化アモルファスシリコン32中にドープした不純物元素から電子の供給を受け、この量子井戸に電子が溜まり、2次元電子ガス9(2DEG)が形成される。これによりドープされた不純物元素とキャリアの電子の存在場所が異なるいわゆる変調ドーピングが実現され、チャネル中の電子の走行にイオン化不純物散乱の影響がなくなる。このため、キャリアの移動度を格段に向上させることができ可能となる。特に極低温にした場合は有効である。

【0031】この量子井戸8中の電子の波動関数Φ10は単結晶シリコン中に及び、そのピークは不純物ドープ水素化アモルファスシリコン層32と単結晶シリコン層12の界面から単結晶シリコン層12側に30～50オングストロング程度のところにある。これは図4 (b)に示すように、超高真空中で成長させた高純度単結晶シリコン層5中に入っている、不純物や欠陥が極度に少ない部分がキャリアのチャネル部分となる。

【0032】イオン注入により多少の結晶欠陥導入の恐れがある単結晶シリコン層12をチャネルとして使用しないため、電子は理想的な移動度で走行することができる。さらに、この高純度単結晶シリコン層5を50～100nm程度の厚さに成長させると、ソース・ドレイン領域21, 22において不純物濃度が、深さ方向にあたかもデルタ関数的に分布することになる。これにより従来のLDD (Lightly doped drain) 型の拡散層の場合に問題となる、ホットキャリアによるゲート酸化膜の絶縁破壊の可能性が低下する効果もある。

【0033】次にこのトランジスタの動作原理について図5に示す。動作原理はエンハンスマント型で説明する。図5 (a)には負のゲート電圧E1を印加した場合のバンド図を示す。ゲート電極7に負の電圧がかかっているため、量子井戸8はフェルミ準位11より上にあり、電子のチャネルは形成されない。次に図5 (b)に示すようにゲート電極7に正の電圧をかけると、量子井戸8はフェルミ準位の下になるため、2次元電子ガスが形成され電子のチャネルができる。このようにゲート電圧の制御により、通常のシリコンMOSトランジスタと同様にトランジスタ動作させることができる。

【0034】尚、本発明に関するn型MOSに関して記述してきたが、正孔をキャリアとして用いるp型MOSも、不純物ドープアモルファスシリコン層を形成する場合に、p型の不純物を用いれば同様に製造可能である。このことは以下に述べる実施例にも当てはまる。

【0035】【実施例2】次に、本発明の第2の実施例

11

を図面を参照して説明する。

【0036】本実施例では、図6(a)に示すようにキャリア供給源となる不純物元素をイオン注入し不純物ドープアモルファスシリコン層32を形成する前に、酸素や窒素などを打ち込み、予めアモルファスシリコン層33を形成する。予めアモルファス層33を形成しておけば、ドーピング元素のイオンチャネリングを防止できるため、正確に不純物ドープアモルファスシリコン層32の厚さ(深さ方向の位置)を制御することができる。ここで酸素注入によりアモルファス化した場合は、図6(b)のようにキャリア供給源となる不純物元素を注入する前に熱処理により酸化すれば、SOI基板化も可能である。このSOI構造によればショートチャネルによる漏れ電流の影響を防止できる。さらにドレイン-基板間の接合容量、配線層と基板間の配線容量を大幅に低減することができる。よって、ゲート遅延時間を短縮さらにデバイスの動作速度を向上することが可能になる。この酸化膜の場合にも、アモルファス層と同様にチャネリングを防ぐ効果がある。また、外部から照射される α 線などの荷電粒子の影響を低減できる。

【0037】[実施例3]図7にゲート酸化膜6の上部に窒化膜14を形成する場合を示す。この窒化膜の成膜は、図2(c)に示すゲート酸化膜6形成後に行う。シランとアンモニアによるプラズマCVDによりシリコン窒化膜を形成すれば、酸化膜よりも緻密な膜構造をとることが可能であるため、窒化膜中に水素が侵入できにくい構造をとることができる。この膜により、加熱処理等に起因するアモルファス中の水素の大気中への飛散を防止することができる。従って、水素化アモルファスシリコンの構造を維持することができる。

【0038】[実施例4]実施例1でアモルファス層を水素化するためにイオン注入法を用いたが、図8に示すように層間絶縁膜15中の水素を利用することもできる。シランと水素で層間絶縁膜をプラズマCVDで成長させる場合、膜中に水素が含有される。次に、300°C程度に加熱すると水素が膜外へ拡散し、アモルファスシリコン中のダンギングボンドと結合する。実施例3のシリコン窒化膜にも水素が含まれているため、同様にアモルファスシリコンを水素化することができる。

【0039】上述の実施例では、アモルファス層の上に40単結晶層を設けたが、この逆の配置も可能である。

【0040】図9は単結晶シリコン12上に不純物ドープ水素化アモルファスシリコン層32が形成されたトランジスタ構造を示している。

【0041】この構造は、アモルファスシリコンを層形成する際ドーピング元素の注入エネルギーを実施例1よりも低くすれば製造できる。

【0042】

12

【発明の効果】 第一に単結晶シリコンと水素化アモルファスシリコンの電子親和力差を利用したHEMT構造により、キャリアがドーピング元素のイオン散乱の影響を受けないため、トランジスタの高速動作が可能となる。

【0043】第二にエピタキシャル成長では製造が難しいアモルファスシリコン上の単結晶シリコンという構造を、イオン注入法で製造し、通常構造のMOS型のトランジスタと同様の動作原理で動作させることができる。

10 10さらに上部に単結晶シリコンが残る構造である場合は、高純度のシリコンをエピタキシャル成長させることができる。これにより、結晶欠陥や不純物濃度の少ない部分をチャネルとして利用できるため、キャリアの移動度は理想的な状態へ近づき移動度を向上させることができる。さらに、キャリア濃度がゲート絶縁膜から離れているため、ホットキャリアによる、酸化膜突き抜けを防止することができる。

【0044】以上の効果により、集積回路の高速化に寄与する。

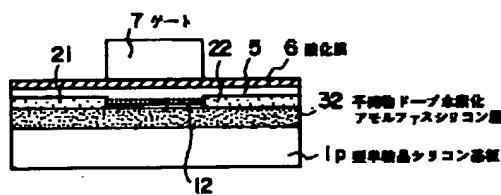
20 20【図面の簡単な説明】

【図1】トランジスタ構造
【図2】トランジスタ構造方法
【図3】トランジスタ断面図
【図4】(a) エネルギーバンド図
(b) 波動関数プロファイル
【図5】トランジスタ動作原理
【図6】トランジスタ構造
【図7】トランジスタ構造
【図8】水素化の方法
【図9】トランジスタ構造
【図10】従来技術

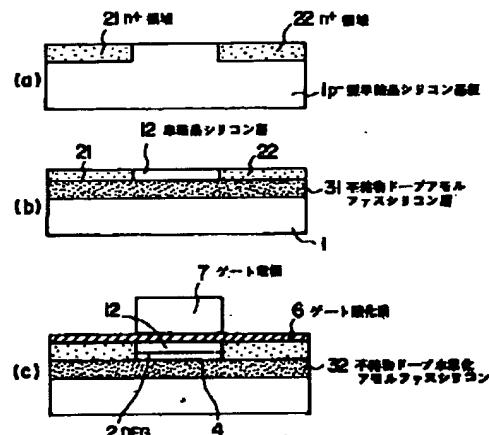
【符号の説明】

1 P-型単結晶シリコン基板
12 単結晶シリコン
21, 22 ソース・ドレイン領域
31 不純物ドープアモルファスシリコン層
32 不純物ドープ水素化アモルファスシリコン層
4 単結晶層/アモルファス層 界面
5 高純度単結晶シリコン層
6 ゲート酸化膜
7 ゲート電極
8 量子井戸(ポテンシャル井戸)
9 2DEG
10 波動関数
11 フェルミ準位EF
33 アモルファスシリコン層
13 酸化層
15 層間絶縁膜

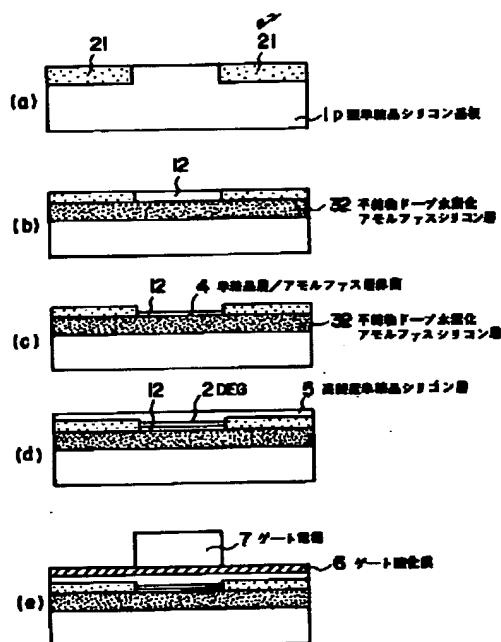
【図1】



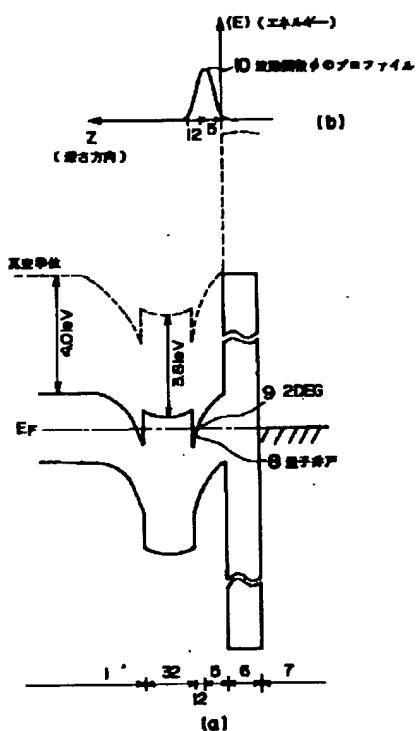
【図2】



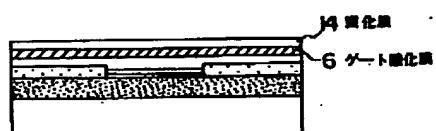
【図3】



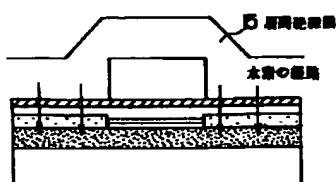
【図4】



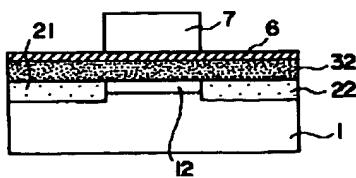
【図7】



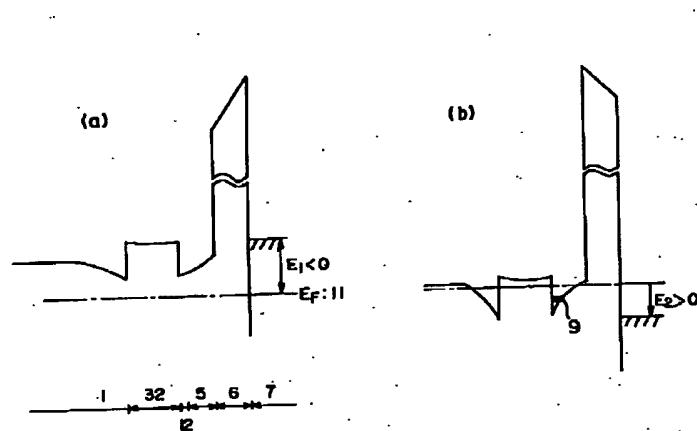
【図8】



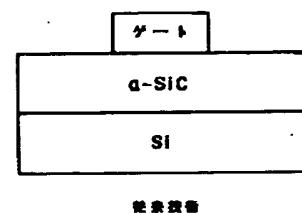
【図9】



【図5】



【図10】



【図6】

